國 立 台 灣 科 技 大 學

電 機 工 程 系

可程式實習報告

HW\_1

授課教師： 王乃堅 老師

班　　別： 　　　　 四電三甲

姓　　名： 莊銘凱

學　　號： B9730124

中華民國 99 年 １1 月 ０7 日

**作業題目: 利用兩個四位元同步計數器，與1個8 bit的4對1 多工器，設計一個多功能除頻器。**

**程式說明:**

**主程式:**

module HW\_1(sel,out,clk,f\_out,rst);

//宣告PORT及內部接線

input clk,rst;

input [1:0]sel;

output [7:0]out;

output f\_out;

wire [7:0]check;

reg [3:0] en;

//當多工器對應的線路ENABLE時，就把除頻所須對應的COUNT送到CHECK否則就斷路

assign check=(en[0])? 8'b00000000:8'bz;

assign check=(en[1])? 8'b00000110:8'bz;

assign check=(en[2])? 8'b00011110:8'bz;

assign check=(en[3])? 8'b01000000:8'bz;

//呼叫除頻副程式

syncounter h1(.clk(clk),.f\_out(f\_out),.out(out),.rst(rst),.check(check));

//4-1 MUX

always @ (sel)

begin

case(sel)

2'b00 : en=4'b0001;

2'b01 : en=4'b0010;

2'b10 : en=4'b0100;

2'b11 : en=4'b1000;

endcase

end

endmodule

**副程式:**

module syncounter (clk,f\_out,out,rst,check);

//宣告PORT及內部接線

input clk,rst,check;

output f\_out;

output [7:0]out;

reg [7:0]out;

reg f\_out;

wire [7:0]check;

//clk正緣觸發的除頻電路，rst為reset功能，check為除頻所需count值

always@(posedge clk or negedge rst)

begin

if(rst==0)

begin

f\_out=0;

out=check;

end

else if(rst==1 & clk==1 & out==8'b00000001)

begin

f\_out=~f\_out;

out=check;

end

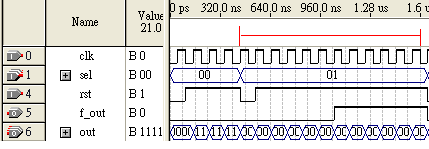
else if(rst==1 && clk==1)

out=out-1;

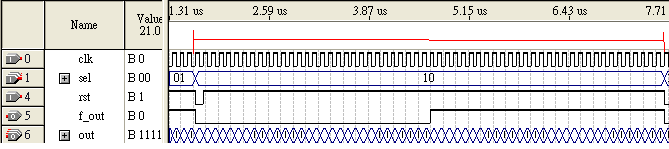
end

edmodule

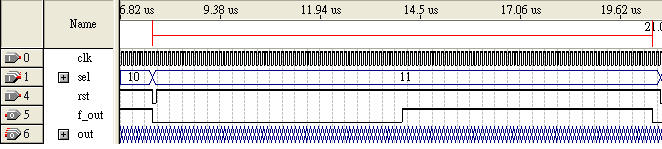
**結果波形圖及說明:**

****

由紅色線段(sel=01)，可以看到f\_out是clk經過除頻12的波型。



紅色區段(sel=10)，時間長度是(7.65-1.65)=6 us，剛好是一個clk週期100ns的60倍。



紅色區段(sel=10)，時間長度是(20.5-7.7)=12.8 us，剛好是一個clk週期100ns的128倍。

**作業題目: 假定系統之clock 為20MHz，clock cycle time 為50 ns，設 計一個除頻100 之電路，並其正電位及負電位時間比為1：1 (即duty cycle 為50 ﹪)**

**程式說明:**

module HW\_2 (clk,f\_out,out,rst);

//宣告PORT及內部接線

input clk,rst;

output f\_out;

output [7:0]out;

reg [7:0]out;

reg f\_out;

wire [7:0]check;

//指定除頻初始值得count

assign check=8'b00110010;

//由同步記數器改良而成的除頻電路

always@(posedge clk or negedge rst)

begin

if(rst==0)

begin

f\_out=0;

out=check;

end

else if(rst==1 & clk==1 & out==8'b00000001)

begin

f\_out=~f\_out;

out=check;

end

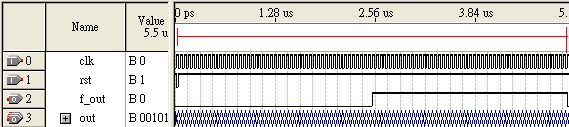
else if(rst==1 && clk==1)

out=out-1;

end

endmodule

**結果波形圖及說明**



紅色區段，時間長度是(5025-25)=5000ns，剛好是一個clk週期50ns的100倍。